

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Handwritten: 8/2/01
I.D.S.
T.B.

J1046 U.S. PT
09/852647
05/11/01

In re application of:

Sahng-Ik JUN

Art Unit: TBD

Application No. **To Be Accorded**

Examiner: TBD

Filed: **May 11, 2001**

Atty. Docket: **06192.0178.NPUS00**

For: **THIN FILM TRANSISTOR ARRAY
SUBSTRATE FOR A LIQUID CRYSTAL
DISPLAY AND METHOD FOR
FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Application No.	Filing Date
Republic of Korea	2000-25466	May 12, 2000

A certified copy of each listed priority documents is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

Handwritten signature: Derek J. Paulin (44,483)

FOR Michael J. Bell
Registration No. 39,604

Date: May 11, 2001

HOWREY SIMON ARNOLD & WHITE, LLP
Box No. 34
1299 Pennsylvania Avenue, NW
Washington, DC 20004-2402
(202) 783-0800

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

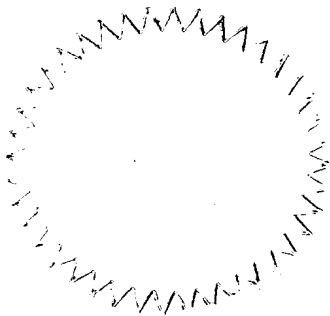
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 25466 호
Application Number

출원년월일 : 2000년 05월 12일
Date of Application

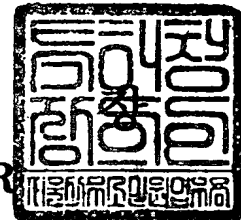
출원인 : 삼성전자 주식회사
Applicant(s)



2000 10 13
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2000.05.12		
【발명의 명칭】	액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법		
【발명의 영문명칭】	THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	김원호		
【대리인코드】	9-1998-000023-8		
【포괄위임등록번호】	1999-015960-3		
【대리인】			
【성명】	김원근		
【대리인코드】	9-1998-000127-1		
【포괄위임등록번호】	1999-015961-1		
【발명자】			
【성명의 국문표기】	전상익		
【성명의 영문표기】	JUN,SAHNG IK		
【주민등록번호】	680805-1468418		
【우편번호】	449-900		
【주소】	경기도 용인시 기흥읍 농서리 산24번지		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 호 (인) 대리인 김원근 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	35	면	35,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	64,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

투명한 절연 기판 위에 가로 방향의 게이트선 및 게이트 전극을 포함하는 게이트 배선과 화소 영역 내에 다수의 공통 전극 및 이들을 연결하는 공통 전극선을 포함하는 공통 배선이 형성되어 있다. 게이트 배선 및 공통 배선을 덮는 게이트 절연막 상부에는 반도체층과 반도체층과 동일한 물질로 이루어진 광차단막이 형성되어 있다. 게이트 절연막 상부에는 게이트선과 교차하여 화소 영역을 정의하는 데이터선 및 소스/드레인 전극을 포함하는 데이터 배선 및 공통 전극과 평행하게 일정한 간격으로 마주하는 화소 전극을 포함하는 화소 배선이 형성되어 있다. 이때, 광차단막은 데이터선과 데이터선에 인접한 공통 전극과 중첩되어 데이터선의 주변에서 누설되는 빛을 차단한다.

【대표도】

도 1

【색인어】

반사율, 크로스토크, 광차단막, 규소 1

【명세서】

【발명의 명칭】

액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법{THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 평면 구동 방식의 액정 표시 장치용 박막 트랜지스터 기판을 도시한 배치도이고,

도 2는 도 1에서 II-II 선을 따라 도시한 단면도이고,

도 3a 내지 도 5a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 그 공정 순서에 따라 도시한 배치도이고,

도 3b 내지 도 5b는 각각 도 3a 내지 도 5a에서 IIIb-IIIb', IVb-IVb', Vb-Vb' 선을 따라 각각 절단한 단면도이고,

도 6은 본 발명의 제2 실시예에 따른 평면 구동 방식의 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고,

도 7은 도 6에서 VII-VII' 선을 따라 잘라 도시한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 도시한 단면도로서, 도 3a 및 3b의 다음 단계를 도시한 도면이고,

도 9는 도 8의 다음 단계를 도시한 단면도이고,

도 10은 도 9의 다음 단계를 도시한 단면도이고,

도 11은 도 10의 다음 단계를 도시한 단면도이고,

도 12는 도 11의 다음 단계를 도시한 단면도이고,

도 13은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구조를 도시한 배치도이고,

도 14는 도 13에서 XIV-XIV' 선을 따라 잘라 도시한 단면도이고,

도 15는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법을 도시한 단면도로서, 도 3a 및 도 3b의 다음 단계를 도시한 도면이고,

도 16은 도 15의 다음 단계를 도시한 단면도이고,

도 17은 도 16의 다음 단계를 도시한 단면도이고,

도 18a 및 도 19a는 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법을 공정 순서에 따라 도시한 배치도로서, 도 17의 다음 단계를 차례로 도시한 도면이고,

도 18b 및 도 19b는 각각 도 18a 및 도 19a에서 XVIIIb-XVIIIb' 및 XIXb-XIXb' 선을 따라 잘라 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 액정 표시 장치용 박막 트랜지스터 기관에 관한 것으로서, 더욱 상세하게는, 평면 구동 방식의 액정 표시 장치에 관한 것이다.

<20> 현재 주로 사용되고 있는 액정 표시 장치로는 비틀린 네마틱(TN : twisted nematic) 방식의 액정 표시 장치를 들 수 있다. 비틀린 네마틱 방식의 경우 두 기관에

각각 전극을 설치하고 액정 방향자가 90° 비틀리도록 배열한 다음 전극에 전압을 가하여 액정 방향자를 구동하는 방식이다. 그러나, 이러한 방식의 액정 표시 장치는 시야각이 좁다는 문제점을 가지고 있어, 이를 대체하기 위한 평면 구동(IPS : in-plane switching) 방식의 액정 표시 장치가 개발되었다. 이에 대한 종래 기술은 미국 특허 제 5,598,285에 나타나 있다.

<21> 그러나, 상기 미국 특허 제 5,598,285에서 제시된 액정 표시 장치에서는, 데이터선과 이에 인접한 화소 전극 또는 공통 전극 사이에 전위차가 발생하게 되어 데이터선의 경계 부근에서 빛이 누설되고, 누설된 빛은 측면에서 직접적으로 보이게 되는데, 이는 측면 크로스 토크(cross talk)의 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명에 과제는 평면 구동 방식의 액정 표시 장치에서 빛샘 현상을 최소화하는 것이다.

【발명의 구성 및 작용】

<23> 이러한 과제를 해결하기 위한 본 발명에 따른 액정 표시 장치용 기판 및 그 제조 방법에서는 데이터선 부근에서 누설되는 빛을 차단하기 위하여 데이터선과 이에 인접하는 화소 전극 또는 공통 전극과 중첩하는 광차단막을 반도체층과 동일한 층으로 형성되어 있다.

<24> 투명한 절연 기판 위에 게이트선과 게이트선과 절연되어 교차하는 다수의 데이터선이 형성되어 있으며, 게이트선과 데이터선의 교차로 정의되는 화소 영역에는 공통 전극과 화소 전극이 일정 간격을 두고 마주보고 형성되어 있다. 게이트선과 데이터선과 전

기적으로 연결되어 있으며, 규소를 포함하는 반도체층을 포함하는 박막 트랜지스터가 게이트선과 데이터선이 교차하는 부분에 형성되어 있으며, 반도체층과 동일한 물질층으로 이루어져 있는 광차단막이 형성되어 있다.

<25> 여기서, 광차단막은 데이터선과 데이터선에 인접한 공통 전극 또는 화소 전극과 중첩되어 있으며, 광차단막은 서로 이웃하는 화소 영역의 인접한 공통 전극 또는 화소 전극과 중첩하는 것이 바람직하다.

<26> 이때, 반도체층은 광차단막과 연결될 수 있으며, 데이터선의 하부까지 연장되어 형성될 수 있으며, 광차단막은 데이터선의 가장자리 밖으로 나오도록 형성될 수 있다.

<27> 화소 전극 및 공통 전극 각각은 데이터선 또는 게이트선과 동일한 층 또는 다른 층으로 형성될 수 있다.

<28> 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판에는, 기판 위에 게이트선 및 게이트선과 연결되어 있는 게이트 전극으로 이루어진 게이트 배선과 게이트 배선과 분리되어 있는 선형 공통 전극이 형성되어 있다. 게이트 배선 및 공통 전극을 덮고 있는 게이트 절연막 위에는 반도체층과 반도체층과 동일한 물질로 이루어진 광차단막이 형성되어 있다. 반도체층 상부에는 위에는 소스 및 드레인 전극이 형성되어 있으며, 소스 전극과 연결되어 있는 데이터선을 포함하는 데이터 배선이 형성되어 있다. 게이트선과 데이터선의 교차로 정의되는 화소 영역에는 공통 전극과 교대로 배치되어 있으며, 드레인 전극과 전기적으로 연결되어 있는 선형 화소 전극이 형성되어 있다.

<29> 여기서, 데이터 배선을 덮는 보호막을 더 포함할 수 있으며, 화소 전극은 보호막 상부에 형성되어 보호막의 접촉 구멍을 통하여 드레인 전극과 연결되는 것이 바람직하다

- <30> 그러면, 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법의 실시예에 대하여 도면을 참고로 하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <31> 도 1은 본 발명의 제1 실시예에 따른 평면 구동 방식의 액정 표시 장치를 나타낸 배치도이며, 도 2는 도 1에서 II-II 선을 따라 도시한 단면도이다.
- <32> 도 1 및 도 2에 도시된 바와 같이, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 단일막 또는 다중막으로 만들어진 게이트 배선 및 공통 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22) 및 게이트선(22)의 일부인 박막 트랜지스터의 게이트 전극(26)을 포함한다. 게이트 배선은 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(22)으로 전달하는 게이트 패드를 포함할 수 있다. 또한, 공통 배선은, 게이트 배선과 동일한 물질로 이루어져 있으며, 게이트선(22)과 평행하게 가로 방향으로 형성되어 있는 공통 신호선(28) 및 공통 신호선(28)에 연결되어 공통 신호선(28)을 통하여 공통 신호가 인가되는 공통 전극(27, 271)을 포함한다. 여기서, 공통 배선(27, 28)은 이후에 형성되는 화소 배선(67, 68)과 중첩되어 유지 용량을 형성하는 유지 전극의 기능을 가질 수 있다.
- <33> 기판(10) 전면 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 26) 및 공통 배선(27, 28)을 덮고 있다.
- <34> 게이트 전극(26)의 게이트 절연막(30) 위에는 비정질 규소 따위의 반도체로 이루어

진 반도체층(40)이 섬 모양으로 형성되어 있다. 또한, 게이트 절연막(30) 위에는 반도체층(40)과 동일한 물질로 이루어져 화소의 가장자리에 위치하는 두 개의 공통 전극(271) 및 공통 전극선(28)과 가장자리 부분이 중첩되도록 형성되어 있는 광차단막(44)이 형성되어 있다. 여기서는 공통 전극(271)이 이후에 형성되는 데이터선(62)에 인접하도록 형성되어 광차단막(44)이 공통 전극(271)과 중첩되도록 형성되어 있지만, 화소 전극(67)을 데이터선(62)과 인접하도록 형성하는 경우에 광차단막(44)은 화소 전극(67)과 중첩될 수도 있다.

<35> 반도체층(40) 위에는 게이트 전극(24)을 중심으로 분리되어 있으며 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 형성되어 있으며, 광차단막(44) 상부에는 도면에는 구체적으로 나타나 있지 않지만 저항 접촉층(55)과 연결되어 있는 저항 접촉층(52)이 형성되어 있다.

<36> 저항 접촉층(52, 55, 56) 및 게이트 절연막(30) 위에는 크롬(Cr)이나 몰리브덴-텅스텐 합금이나 알루미늄이나 알루미늄 합금의 단일막 또는 ITO(indium tin oxide)를 포함하는 이들의 다중막 따위로 이루어진 데이터 배선 및 화소 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 하나의 단위 화소를 정의하며 광차단막(44)과 중첩하는 데이터선(62), 데이터선(62)과 연결되어 있으며 게이트 전극(24)으로 뺀어 있는 소스 전극(65), 데이터선(62)과 분리되어 있으며 게이트 전극(24)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함한다. 데이터 배선은 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드를 포함할 수 있다. 또한, 화소 배선은 드레인 전극(66)과 연결되어 있으며 가로 방향으로 형성되어 공통 신호선(28)과 마주하거나 중첩하여 유지 축전기를 만드는 화

소 신호선(68) 및 화소 신호선(68)과 연결되어 있으며 세로로 형성되어 공통 전극(27, 271)과 평행하게 마주하는 화소 전극(67)을 포함한다.

<37> 기판(10)의 상부에는 보호막(70)이 형성되어 있다. 보호막(70)은 게이트 패드 및 데이터 패드를 드러내는 접촉 구멍을 가질 수 있으며, 보호막의 상부에는 데이터 배선(62, 65, 66)과 연결되는 보조 데이터 배선을 형성될 수도 있으며, 패드와 전기적으로 연결되는 보조 패드가 형성될 수 있다.

<38> 이러한 본 발명의 실시예에 따른 구조에서는 광차단막(44)을 이용하여 데이터선(62)과 이에 인접한 공통 전극(271) 사이에서 누설되는 빛을 흡수하거나 차단하여 측면 크로스 토크가 발생하는 것을 방지할 수 있다. 특히, 광차단막(44)이 규소로 이루어진 경우에는 게이트 배선 혹은 다른 층에 금속으로 형성하는 경우보다 효과적이다. 왜냐하면, 광차단막을 금속으로 형성하는 경우에는 금속은 높은 반사율을 가지고 있으므로 데이터선(62) 또는 공통 전극(271) 및 금속의 광차단막 사이에서는 빛이 반복적으로 반사되어 누설되는 빛이 생기기 때문에 측면 크로스 토크는 여전히 나타나게 된다.

<39> 이렇게 광차단막(44)을 반도체층(40)과 동일한 층으로 형성하는 방법은 비틀린 네마틱 방식의 액정 표시 장치에서도 동일하게 적용할 수 있다.

<40> 이제, 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법에 대해 설명한다.

<41> 도 3a 내지 도 5b는 도 1 및 도 2에 나타난 바와 같은 액정 표시 장치용 기판의 제조 과정을 나타내는 단면도이다.

<42> 먼저, 도 3a 내지 도 3b에 나타난 바와 같이, 유리와 같은 투명한 절연 기판(10)에

3000Å 정도의 두께를 갖는 금속층을 증착하고 마스크를 이용한 사진 공정으로 패터닝을 실시하여 게이트선(22) 및 게이트 전극(26)을 포함하는 게이트 배선과 공통 전극선(28) 및 공통 전극(27, 271)을 포함하는 공통 배선을 형성한다.

<43> 다음, 도 4a 내지 도 4b에 나타난 바와 같이, 기판(10)의 전면에 질화 규소 또는 유기 절연막 등의 절연성 물질로 이루어진 게이트 절연막(30)을 3,000~5,000Å의 두께로 형성하고, 약 500~2,000Å 두께의 비정질 규소층(40)과 약 500Å의 두께의 인등의 불순물이 고농도 도핑된 비정질 규소층(50)을 차례로 증착한다. 이어, 마스크를 이용한 사진 공정으로 도핑된 비정질 규소층(50)과 비정질 규소층(40)을 함께 패터닝하여 게이트 전극(26)의 상부와 이후에 형성되는 데이터선(62)의 양쪽에 위치하는 공통 전극(271) 사이의 상부에 섬 모양으로 반도체층(40) 및 광차단막(44)과 그 상부에 저항성 접촉층(50, 52)을 형성한다. 이때, 이후에 형성되는 데이터선(62)과 공통 전극선(28) 및 게이트선(22)과 교차하는 게이트 절연막(30) 상부에 추가로 비정질 규소층을 남길 수도 있다.

<44> 이어, 도 5a 및 도 5b에 나타난 바와 같이, 크롬 혹은 알루미늄 합금 혹은 몰리브덴 또는 이들의 합금 등의 금속층을 약 2,000~5,000Å의 두께로 증착하고, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 서로 교차되는 데이터선(62)과 소스 및 드레인 전극(65, 66)을 포함하는 데이터 배선과 화소 신호선(68)과 화소 전극(67)을 포함하는 화소 배선을 형성한다. 다음, 데이터 배선(62, 65, 66)으로 가리지 않는 비정질 규소층(50, 52)을 식각하여 도핑된 비정질 규소층(50)을 게이트 전극(26) 양쪽으로 분리하여 저항 접촉층(55, 56)을 완성한다. 이때, 데이터선(62)으로 가리지 않는 광차단막(44)의 상부에 비정질 규소층(52)의 일부도 식각된다.

- <45> 이어, 도 1 및 2에서 보는 바와 같이, 기판의 전면에 질화 규소 또는 유기 절연막으로 두께로 적층하여 보호막(70)을 형성한다.
- <46> 이후에, 보호막(70)을 패터닝하여 게이트 배선 또는 데이터 배선을 드러내는 접촉 구멍을 형성하는 공정과 보호막(70)의 상부에 도전 물질을 적층하고 패터닝하여 보조 데이터 배선 및 보조 패드를 형성하는 공정을 추가할 수 있다.
- <47> 한편, 제조 공정을 단순화하기 위해 반도체층과 데이터 배선을 하나의 마스크를 이용한 사진 식각 공정으로 형성하는 제조 방법에서도 반도체층과 동일한 층으로 광차단막을 형성할 수 있다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.
- <48> 도 6은 본 발명의 제2 실시예에 따른 평면 구동 방식의 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 7은 도 6에서 VII-VII' 선을 따라 잘라 도시한 단면도이다.
- <49> 도 6 및 도 7에서 보는 바와 같이, 게이트 배선(22, 26), 공통 배선(27, 271, 28), 데이터 배선(62, 65, 66) 및 화소 배선(67, 68)이 제1 실시예와 동일하게 형성되어 있다.
- <50> 단, 박막 트랜지스터 채널이 형성되는 채널부(C)를 포함하는 반도체 패턴(42)이 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 65, 66)과 동일한 모양을 하고 있다. 또한, 광차단막(44)은 데이터선(62) 하부의 반도체 패턴(42)과 연결되어 있으며, 접촉층 패턴(55, 56)은 데이터 배선(62, 65, 66)과 동일한 모양으로 형성되어 있다.
- <51> 그러면, 본 발명의 제2 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 8 내지 12와 앞서의 도 6 내지 도 7을 참고로 하여 상세히 설명한다.

<52> 먼저, 도 3a 내지 3b에 도시한 바와 같이, 제1 실시예와 같이 게이트 배선(22, 26)과 공통 배선(27, 271, 28)을 형성한다.

<53> 다음, 도 8에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm 의 두께로 도포한다.

<54> 그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 9에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부, 즉 소스 전극(65)과 드레인 전극(66) 사이 및 광차단막(44)이 형성될 부분(C)에 위치한 제1 부분(114)은 데이터 배선(62, 65, 66) 및 화소 배선(67, 68)이 형성될 부분(A)에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이때, C 부분에 남아 있는 감광막(114)의 두께와 A 부분에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 제2 부분의 두께는 1.6 내지 1.9 μm 정도로 형성하고, 제1 부분(114)의 두께는 2,000~5,000 Å 이하인 범위에서 3,000~4,000 Å 정도로 형성하는 것이 좋다. 여기서, 감광막이 양성인 경우에 A 부분의 투과율은 3% 이하이고, C 부분의 투과율은 20~60%, 더욱 바람직하게는 30~40%, 기타 부분(B)의 투과율은 90% 이상인 되도록 마스크를 제작하는 것이 바람직하다.

<55> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수

있으며, 여기에서는 양성 감광막을 사용하는 경우에 대하여 두 가지 방법을 제시한다. 이 경우 감광막의 두께는 통상적인 두께보다 두꺼운 1.6 내지 2 μ m 정도로 형성하는 것이 좋으며, 이는 현상 후 남은 막을 조절하기 좋게 하기 위함이다.

<56> 그 중 첫 번째는 마스크에 해상도보다 작은 패턴, 예를 들면 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 것이다. 이때, 슬릿 패턴의 선폭이나 간격은 노광시 사용되는 노광기의 분해능보다 작도록 하여 투과율만을 조절할 수 있도록 해야 한다. 한편, 반투명막을 이용하는 경우에는 마스크를 제작할 때 막의 두께를 조절하여 빛의 투과율을 조절할 수 있으며, 다른 투과율을 가지는 다수의 막을 다층막으로 형성하여 빛의 투과율을 조절할 수 있다. 이때, 빛의 조사량을 조절하기 위해서는 크롬(Cr), MgO, MoSi, a-Si 등을 이용할 수 있다.

<57> 이와 같이 빛의 투과율을 조절할 수 있는 슬릿 패턴이나 반투명막이 형성되어 있는 마스크를 통하여 감광막에 빛을 조사하면, 감광막의 고분자들은 빛에 의하여 분해되는데, 빛의 조사량이 늘어날수록 고분자들의 분해 정도가 달라지게 된다. 빛에 완전히 노출되는 부분의 고분자들이 완전히 분해될 때 노광을 마치게 되면, 빛에 직접 노출되는 부분에 비하여 슬릿 또는 반투명막이 형성되어 있는 부분의 조사량이 적으므로 이 부분에서 감광막 분자들은 분해되지 않은 상태이다. 이때, 노광 시간을 길게 하면 모든 부분의 고분자들이 완전히 분해되므로 그렇게 되지 않도록 해야 한다. 이어 감광막을 현상하면, 고분자들이 분해되지 않은 부분의 감광막은 거의 초기 상태의 두께로 남고, 슬릿 패턴 또는 반투명막에 의해 빛이 적게 조사된 부분에는 중간 두께의 감광막이 남고, 빛에 의해 완전히 분해된 부분에는 감광막이 거의 남지 않는다. 이러한 방법을 이용하면, 부분적으로 다른 두께를 가지는 감광막 패턴(112, 114)을 형성할 수 있다.

- <58> 다음 방법은 감광막의 리플로우(reflow)를 이용하는 것이다. 이 경우에는 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상의 마스크를 사용하여 감광막이 아예 없거나 일정 두께로 남아 있는 통상의 감광막 패턴이 만든다. 이어, 이러한 감광막 패턴을 리플로우시켜 남아 있는 감광막이 없는 부분으로 흘러내려 중간 두께를 가지는 새로운 감광막 패턴을 형성한다.
- <59> 이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴(112, 114)이 만들어진다.
- <60> 이어, 감광막 패턴(112, 114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, A 부분에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, C 부분에는 반도체층만 남아 있어야 하며, 나머지 B 부분에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.
- <61> 먼저, 도 10에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.
- <62> 도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로

는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 $CeNH_3O_3$ 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

<63> 이렇게 하면, 도 10에 나타난 것처럼, C 부분 및 A 부분의 도전체층, 즉 소스/드레인용 도전체 패턴(69)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(69)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 65, 66)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<64> 이어, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl 의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<65> 이렇게 하면, 도 11에 나타난 바와 같이, C 부분의 제1 부분(114)이 제거되어 도전

체 패턴(69)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42) 및 광차단막(44)이 완성된다.

<66> 이어 애싱(ashing)을 통하여 C 부분의 도전체 패턴(69) 표면에 남아 있는 감광막 찌꺼기를 제거한다. 애싱하는 방법으로는 플라즈마 기체를 이용하거나 마이크로파(microwave)를 이용할 수 있으며, 주로 사용하는 조성물은 산소를 들 수 있다.

<67> 다음, 도 12에 도시한 바와 같이 C 부분의 도전체 패턴(69) 및 그 하부의 중간층 패턴(50)을 식각하여 제거한다. 이 때, 식각은 도전체 패턴(69)과 중간층 패턴(50) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 도전체 패턴(69)에 대해서는 습식 식각으로, 중간층 패턴(50)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 도전체 패턴(69)과 중간층 패턴(50)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 C 부분에 남은 반도체 패턴(42) 및 광차단막(44)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 과 O_2 의 혼합 기체를 사용하여 도전체 패턴(69)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 도전체 패턴(69)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(50)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(50), 반도체 패턴(42) 및 광차단막(44)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42) 및 광차단막(44)을 남길 수 있다. 이때, 도 7에 도시한 것처럼 반도체 패턴(42) 및 광차단막(44)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느

정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 65, 66)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<68> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 65, 66)과 그 하부의 접촉층 패턴(55, 56)이 완성된다.

<69> 마지막으로 A 부분에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 C 부분의 도전체 패턴(69)을 제거한 후 그 밑의 중간층 패턴(50)을 제거하기 전에 이루어질 수도 있다.

<70> 또한, 데이터 배선을 건식 식각이 가능한 물질로 형성하는 경우에는 감광막 패턴의 두께를 조절하여 앞에서 설명한 바와 같이 여러 번의 중간 공정을 거치지 않고 한 번의 식각 공정으로 접촉층 패턴, 반도체층 패턴, 데이터 배선을 형성할 수 있다. 즉, B 부분의 금속층(60), 접촉층(50) 및 반도체층(40)을 식각하는 동안 C 부분에서는 감광막 패턴(114)과 그 하부의 접촉층(50)을 식각하고 A 부분에서는 감광막 패턴(112)의 일부만 식각하는 조건을 선택하여 한 번의 공정으로 형성할 수도 있다.

<71> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<72> 이와 같이 하여 데이터 배선(62, 65, 66)을 형성한 후, 도 7에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스펀 코팅하여 2,000 Å 이상의

두께를 가지는 보호막(70)을 형성한다.

<73> 이러한 본 발명의 제2 실시예에 따른 제조 방법에서는 반도체 패턴(42)과 데이터 배선(62, 65, 66)을 하나의 마스크를 이용하는 사진 식각 공정으로 형성하여 제조 공정을 단순화할 수 있으며, 이때, 얇은 감광막 패턴(114)을 가지는 감광막 패턴을 이용하여 반도체 패턴(42)과 함께 광차단막(44)을 형성할 수 있다.

<74> 또한, 얇은 감광막 패턴은 박막 트랜지스터의 채널부에만 형성하고, 반도체 패턴과 연결된 광차단막을 데이터선 밖으로 나오도록 형성하여 데이터선의 가장자리 부근에서 누설되는 빛을 차단하도록 형성할 수 있다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

<75> 도 13은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 14는 도 13에서 XIV-XIV' 선을 따라 잘라 도시한 단면도이다.

<76> 도 13 및 도 14에서 보는 바와 같이, 대부분의 구조는 제2 실시예와 동일하게 형성되어 있다.

<77> 하지만, 광차단막(44)은 반도체 패턴(42)에 연결되어 그 둘레에 형성되어 있으며, 데이터 배선(62, 65, 66)의 가장자리 밖으로 a 폭만큼 나와 있다. 또한, 화소 배선(88, 87)은 보호막(70) 상부에 형성되어 있으며 보호막(70)의 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되어 있다.

<78> 그러면, 본 발명의 제3 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 15 내지 12와 앞서의 도 13 및 도 14를 참고로 하여 상세히 설명한다.

- <79> 우선, 도 15에서 보는 바와 같이, 제2 실시예와 동일한 방법으로 제1 및 제2 부분을 가지는 감광막 패턴(114, 112)을 형성하고, 감광막 패턴(114, 112)을 식각 마스크로 사용하여 노출된 도전체층(60)을 식각하여 도전체 패턴(67)을 형성한다.
- <80> 이어, 도 16에서 보는 바와 같이, 노출된 중간층(50) 및 그 하부의 반도체층(40)을 함께 건식 식각 방법으로 동시에 제거하여 게이트 절연막(30)을 드러내고 채널부의 도전체 패턴(69)을 드러낸다. 이때, 광차단막(44) 및 반도체 패턴(42)이 완성된다.
- <81> 다음, 도 17에 도시한 바와 같이, 박막 트랜지스터의 채널부에 형성되어 있는 감광막 패턴(114)을 제거하여 도전체 패턴(67)을 드러내기 위해 에치 백(etch back) 공정을 통하여 전면적으로 감광막을 제거한다. 이때, 제1 부분(114)의 감광막 패턴은 완전히 제거되지만, 제2 부분(112)의 감광막 패턴의 일부만 제거되어 제2 부분(112)의 폭 및 두께가 감소하게 되어, 도전체 패턴(69)의 가장자리 부분이 드러나게 된다.
- <82> 이어, 도 18a 및 도 18b에서 보는 바와 같이, 감광막 패턴(112)을 식각 마스크로 사용하여 드러난 도전체 패턴(69)과 그 하부의 중간층(50)을 식각한다. 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 65, 66)과 그 하부의 접촉층 패턴(55, 56)이 완성된다. 이때, 데이터 배선(62, 65, 66) 밖으로 나온 광차단막(44)의 폭은 1-3 μ m 정도의 범위에서 형성하는 것이 바람직하다.
- <83> 이와 같이 하여 데이터 배선(62, 65, 66)을 형성하고 감광막 패턴(112)을 제거한 다음, 도 19a 및 도 19b에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스퍼 코팅하여 2,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어, 사진 식각 공정으로 보호막(70)을 패터닝하여 드레인 전극(66)을 드러내는 접촉 구멍(76)을 형성한다.

<84> 마지막으로, 보호막(70)의 상부에 도전막을 적층하고 패터닝하여 접촉 구멍을 통하여 드레인 전극(66)과 연결되는 화소 배선(88, 87)을 형성한다.

<85> 물론, 화소 배선(88, 87)과 동일한 층에는 앞에서 설명한 바와 같이, 보호막(70)의 접촉 구멍을 통하여 데이터선(62)과 전기적으로 연결되는 보조 데이터 배선과 보조 패드를 추가로 형성할 수 있다.

【발명의 효과】

<86> 본 발명의 실시예에서와 같이, 반도체층과 동일한 층으로 광차단막을 형성하여 화소의 가장자리인 데이터선 가장자리 부근에서 누설되는 빛샘 현상을 제거하여 측면 크로스 토크를 억제할 수 있다.

【특허청구범위】**【청구항 1】**

투명한 절연 기판 위에 형성되어 있는 게이트선,
상기 게이트선과 절연되어 교차하는 다수의 데이터선,
상기 게이트선과 데이터선의 교차로 정의되며, 공통 전극과 화소 전극이 일정 간격을 두고 마주보고 형성되어 있는 화소 영역,
상기 게이트선과 상기 데이터선과 전기적으로 연결되어 있으며, 규소를 포함하는 반도체층을 포함하는 박막 트랜지스터,
상기 반도체층과 동일한 물질층으로 이루어져 있는 광차단막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 2】

제1항에서,
상기 광차단막은 상기 데이터선과 상기 데이터선에 인접한 공통 전극 또는 화소 전극과 중첩되어 있는 액정 표시 장치용 박막 트랜지스터 기판,

【청구항 3】

제1항에서,
상기 광차단막은 서로 이웃하는 상기 화소 영역의 인접한 상기 공통 전극 또는 상기 화소 전극과 중첩하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 4】

제1항에서,

상기 반도체층은 상기 광차단막과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 5】

제1항에서,

상기 반도체층은 상기 데이터선의 하부까지 연장되어 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판

【청구항 6】

제1항에서,

상기 광차단막은 상기 데이터선의 가장자리 밖으로 나오도록 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 7】

제1항에서,

상기 공통 전극은 게이트선과 동일한 층으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판,

【청구항 8】

제1항에서,

상기 화소 전극은 상기 데이터선과 동일한 층으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 9】

제1항에서,

상기 화소 전극은 상기 데이터선과 다른 층으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 10】

기판,

상기 기판 위에 형성되어 있는 게이트선 및 상기 게이트선과 연결되어 있는 게이트 전극으로 이루어진 게이트 배선,

상기 기판 위에 상기 게이트 배선과 분리되어 형성되어 있는 선형 공통 전극,

상기 게이트 배선 및 상기 공통 전극을 덮고 있는 게이트 절연막,

상기 게이트 전극 위의 상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 형성되어 있으며, 상기 반도체층과 동일한 물질로 이루어진 광차단막.

상기 반도체층 위에 각각 형성되어 있는 소스 및 드레인 전극 및 상기 소스 전극과 연결되어 있는 데이터선을 포함하는 데이터 배선,

상기 게이트선과 상기 데이터선의 교차로 정의되는 화소 영역에 상기 공통 전극과 교대로 형성되어 있으며, 상기 드레인 전극과 전기적으로 연결되어 있는 선형 화소 전극을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 11】

제10항에서,

상기 광차단막은 상기 데이터선과 상기 데이터선에 인접한 공통 전극 또는 화소 전극과 중첩되어 있는 액정 표시 장치용 박막 트랜지스터 기판,

【청구항 12】

제10항에서,

상기 광차단막은 서로 이웃하는 상기 화소 영역의 인접한 상기 공통 전극 또는 상기 화소 전극과 중첩하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 13】

제10항에서,

상기 반도체층은 상기 광차단막과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 14】

제13항에서,

상기 반도체층은 상기 데이터선의 하부까지 연장되어 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판

【청구항 15】

제14항에서,

상기 광차단막은 상기 데이터선의 가장자리 밖으로 나오도록 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 16】

제14항에서,

상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외한 상기 반도체층은 상기 데이터 배선과 동일한 모양으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 17】

제10항에서,

상기 화소 전극은 상기 데이터선과 동일한 층으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 18】

제17항에서,

상기 반도체층은 상기 화소 전극의 하부까지 연장되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 19】

제10항에서,

상기 데이터 배선을 덮는 보호막을 더 포함하며,

상기 화소 전극은 상기 보호막 상부에 형성되어 상기 보호막의 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 20】

제10항에서,

상기 반도체층과 상기 데이터 배선 사이에 형성되어 있는 저항성 접촉층을 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 21】

제20항에서,

상기 저항성 접촉층은 상기 데이터선과 동일한 모양으로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 22】

기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선과 공통 전극을 포함하는 공통 배선을 형성하는 단계,

상기 게이트 배선과 공통 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체 패터를 형성하는 단계,

상기 게이트 절연막 상부에 상기 반도체 패터와 동일한 물질로 광차단막을 형성하는 단계,

상기 게이트 절연막 상부에 소스 및 드레인 전극과 데이터선을 포함하는 데이터 배선을 형성하는 단계 및

화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 기판 제조 방법.

【청구항 23】

제22항에서,

상기 데이터 배선과 상기 화소 전극을 동일한 층으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판.

【청구항 24】

제23항에서,

상기 광차단막과 상기 반도체 패턴과 상기 데이터 배선과 상기 화소 전극은 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 25】

제24항에서,

상기 감광막 패턴은 상기 소스 및 드레인 전극 사이 및 상기 광차단막에 대응하는 제1 부분, 상기 제1 부분보다 두꺼운 제2 부분 및 상기 제1 부분보다 얇으며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 26】

제25항에서,

상기 감광막 패턴은 하나의 마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 27】

제26항에서,

상기 광차단막과 상기 반도체 패턴과 상기 데이터 배선과 상기 화소 전극 형성 단계는,

상기 게이트 절연막 상부에 반도체층 및 데이터 배선용 도전층을 차례로 증착하는 단계,

상기 데이터 배선용 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분을 상기 데이터 배선 상부에 위치하도록 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 데이터 배선용 도전층, 그 하부의 상기 반도체층을 식각하여 상기 반도체 패턴 및 광차단막을 완성하는 단계,

애싱 공정으로 상기 제1 부분의 감광막 패턴을 제거하는 단계,

상기 제2 부분의 감광막 패턴을 마스크로 상기 데이터 배선용 도전층을 식각하여 상기 데이터 배선 및 상기 화소 전극을 완성하는 단계,

나머지 상기 감광막 패턴을 제거하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 28】

제27항에서,

상기 소스 및 드레인 전극 사이의 채널부를 제외한 상기 반도체 패턴은 상기 데이터 배선과 동일한 모양으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 29】

제28항에서,

상기 광차단막과 상기 반도체 패턴과 상기 데이터 배선은 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 30】

제29항에서,

상기 감광막 패턴은 상기 소스 및 드레인 전극 사이의 채널부에 대응하는 제1 부분, 상기 제1 부분보다 두꺼운 제2 부분 및 상기 제1 부분보다 얇으며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 31】

제30항에서,

상기 감광막 패턴은 하나의 마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 32】

제31항에서,

상기 광차단막과 상기 반도체 패턴과 상기 데이터 배선 형성 단계는,

상기 게이트 절연막 상부에 반도체층 및 데이터 배선용 도전층을 차례로 증착하는 단계,

상기 데이터 배선용 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분을 상기 데이터 배선 상부에 위치하도록 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 데이터 배선용 도전층, 그 하부의 상기 반도체층을 식각하여 상기 반도체 패턴 및 광차단막을 완성하는 단계,

에치 백 공정을 통하여 상기 제1 부분의 감광막 패턴을 제거하고 상기 제2 부분의 감광막 패턴을 식각하는 단계,

상기 제2 부분의 감광막 패턴을 마스크로 상기 데이터 배선용 도전층을 식각하여 상기 데이터 배선을 완성하는 단계,

나머지 상기 감광막 패턴을 제거하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 33】

제32항에서,

상기 화소 전극과 상기 데이터 배선은 다른 층으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 34】

제33항에서,

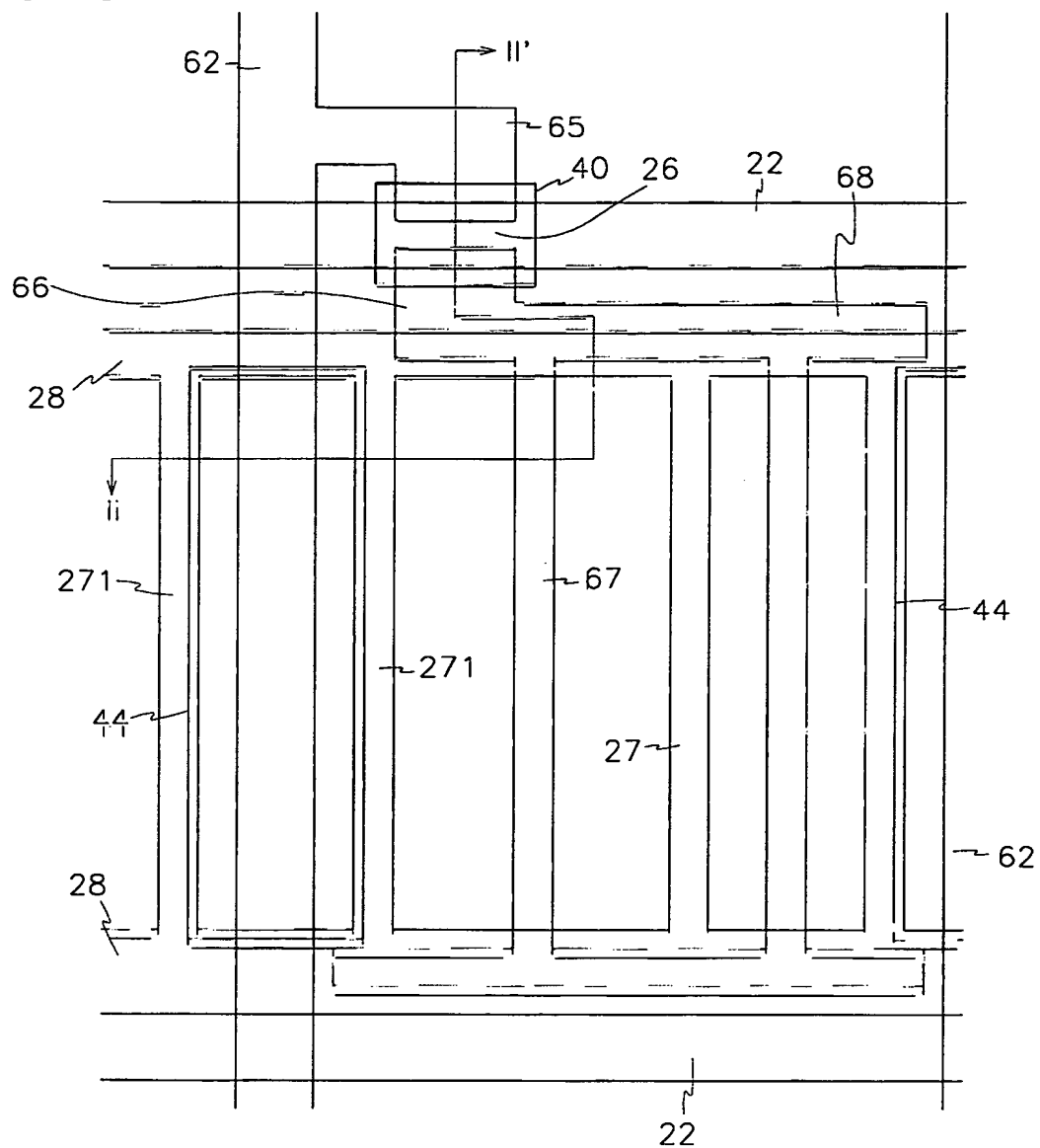
상기 데이터 배선 형성 단계 이후,

상기 데이터 배선을 덮는 보호막을 형성하는 단계를 더 포함하며,

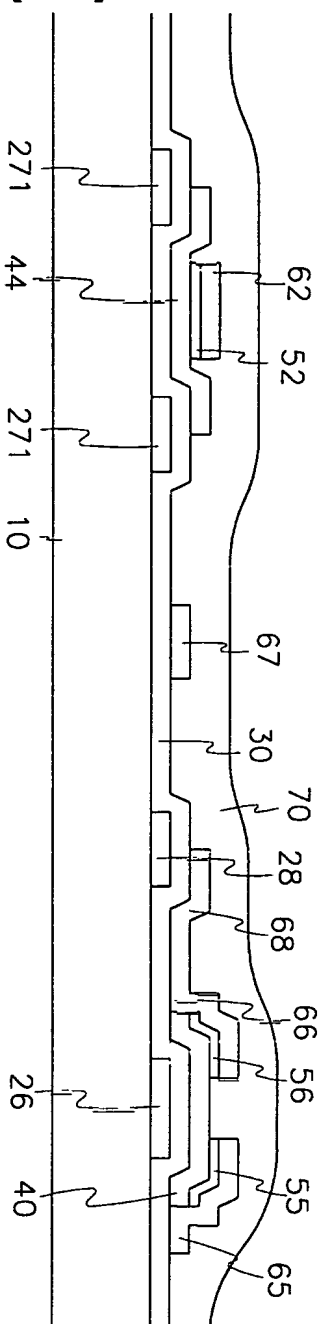
상기 화소 전극은 상기 보호막 상부에 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【도면】

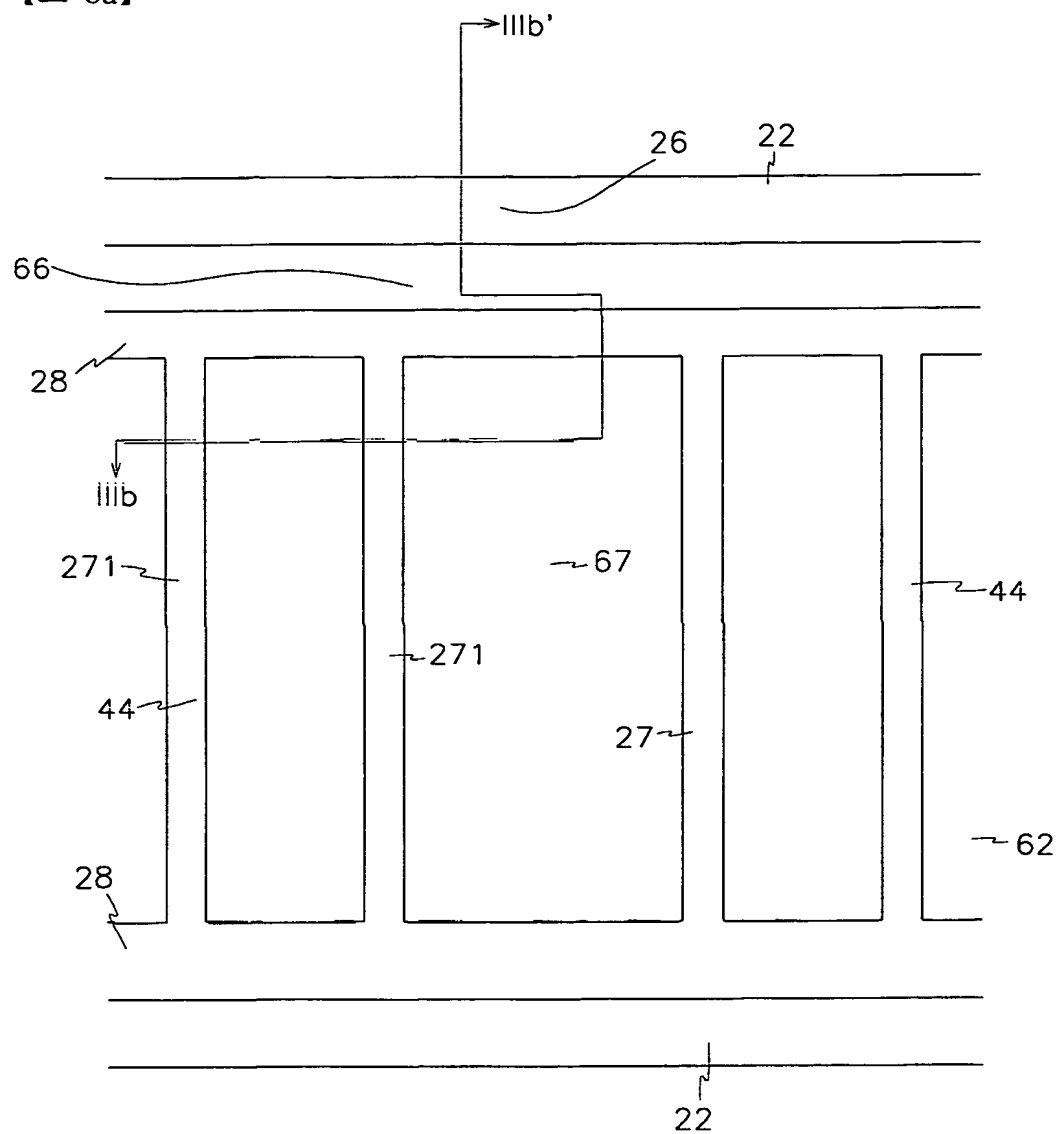
【도 1】



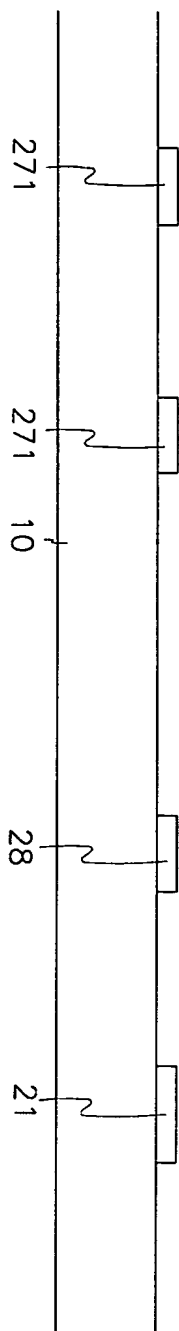
【図 2】



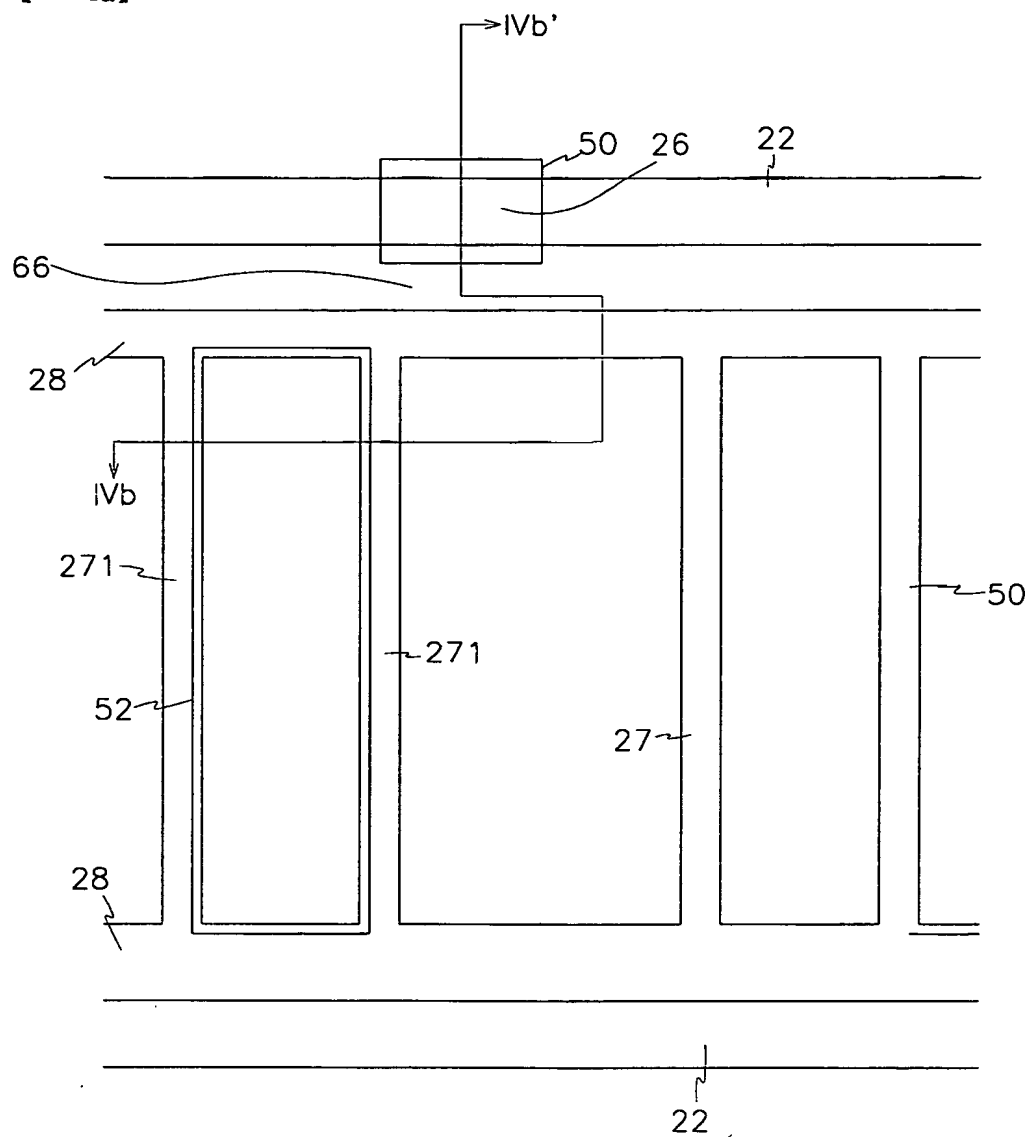
【図 3a】



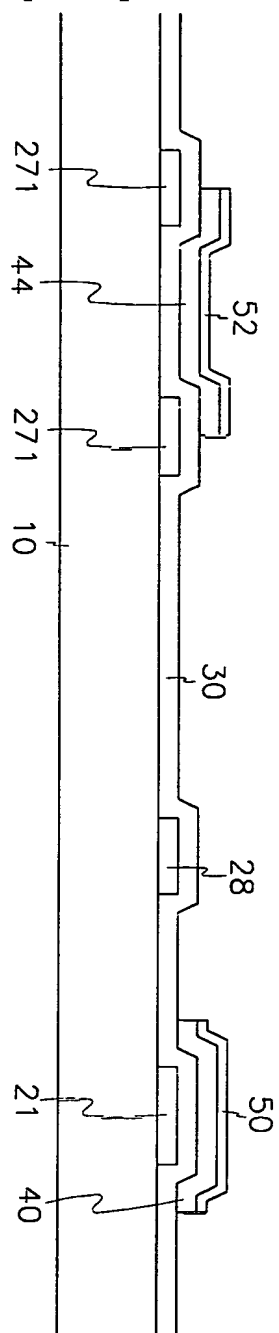
【도 3b】



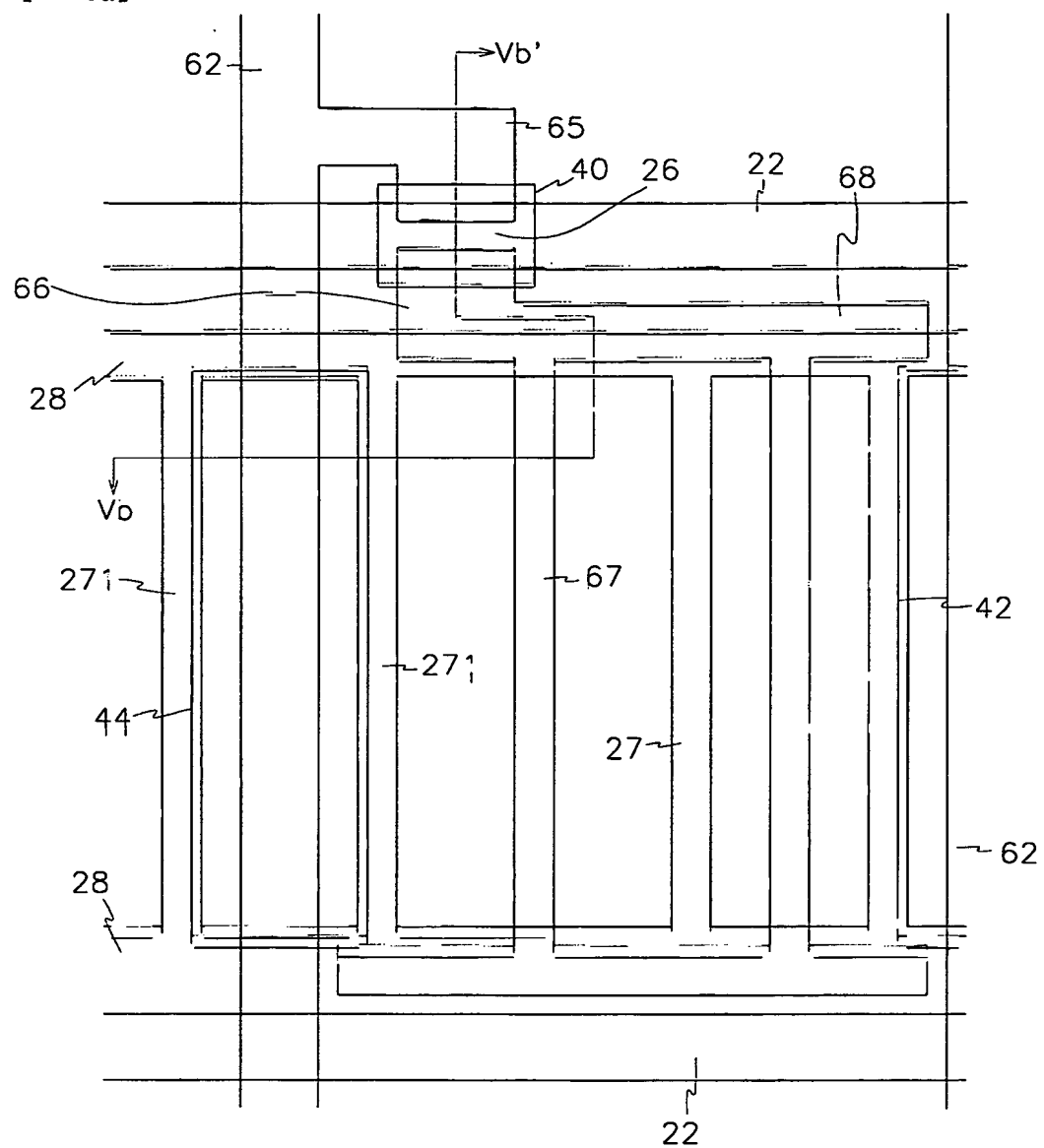
【図 4a】



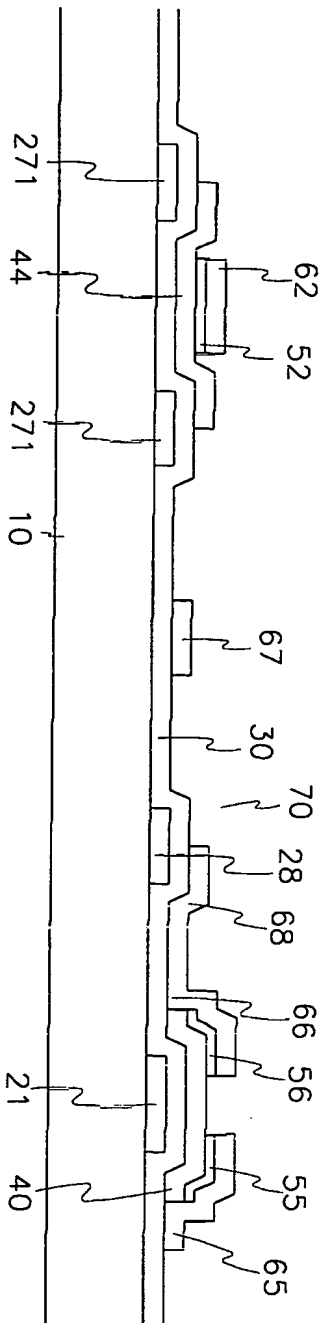
【図 4b】



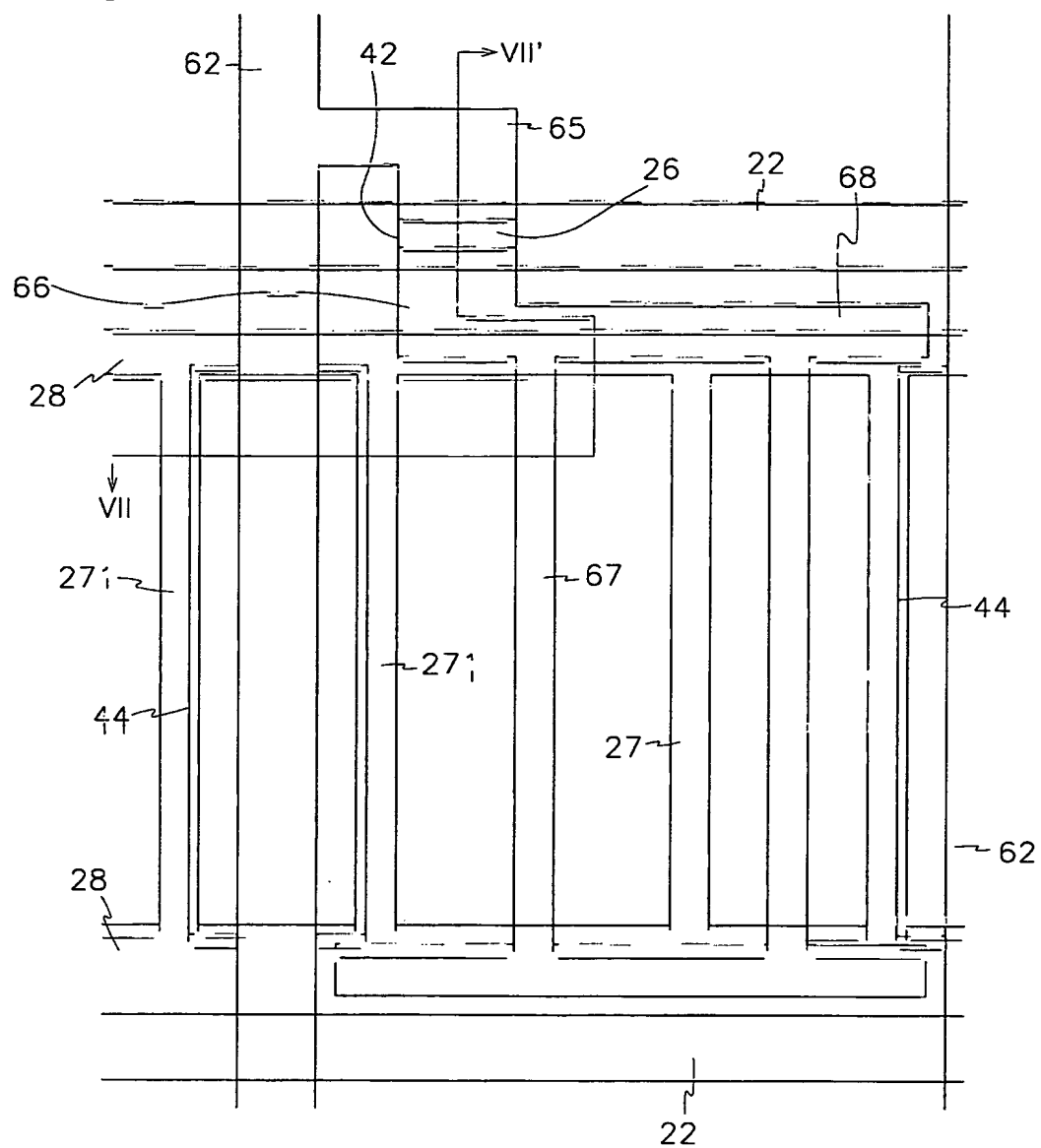
【図 5a】



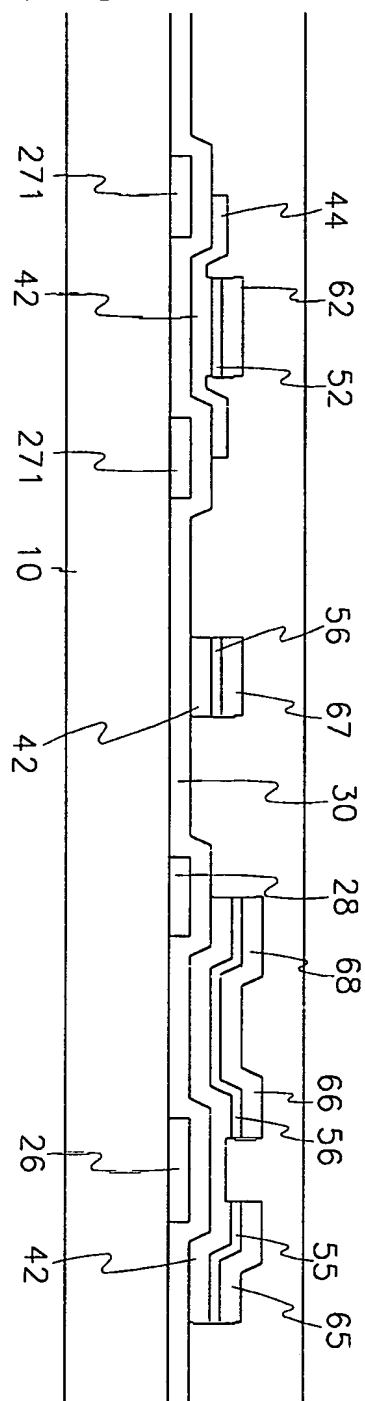
【図 5b】



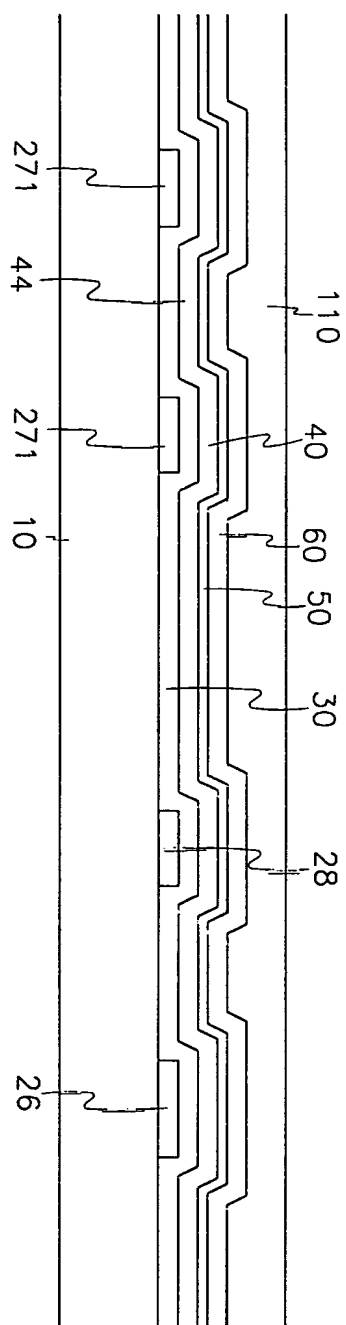
【도 6】



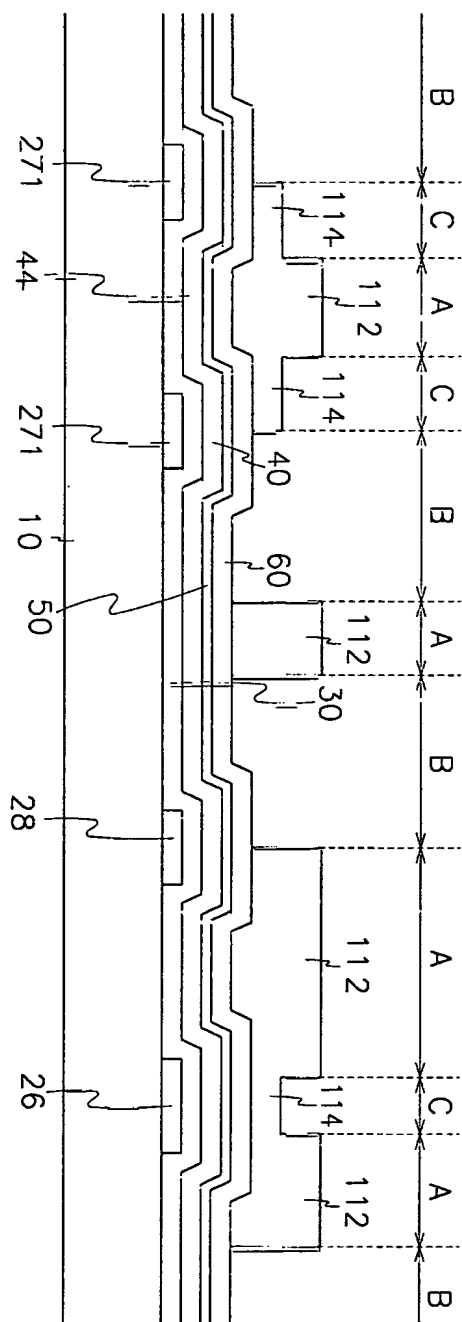
【図 7】



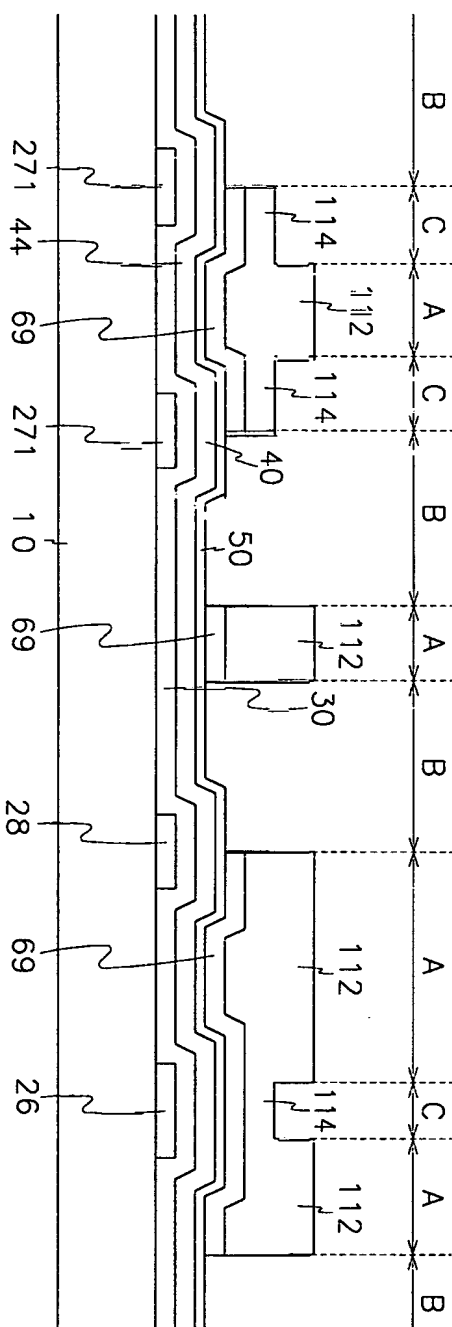
【図 8】

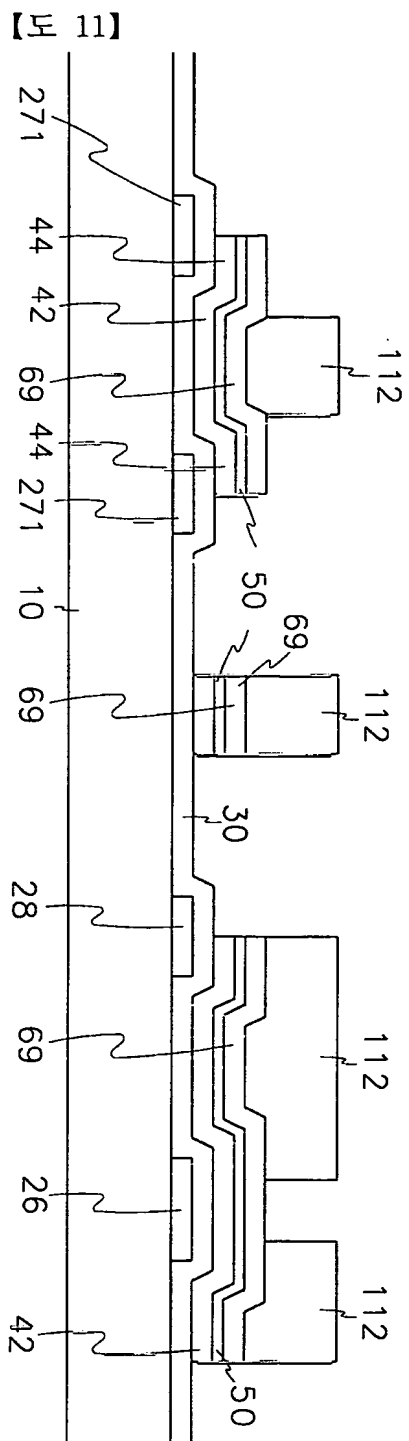


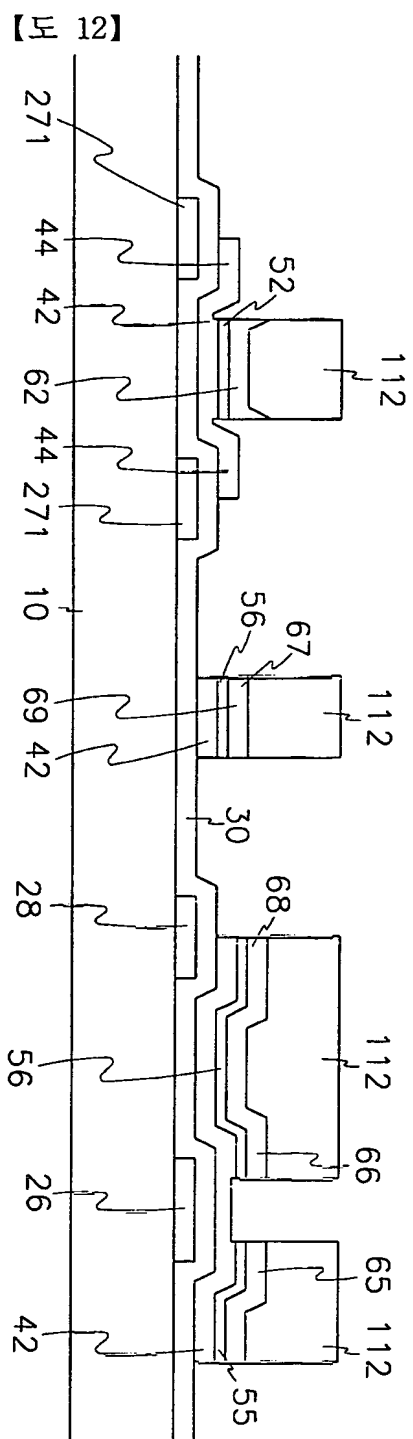
【F 9】



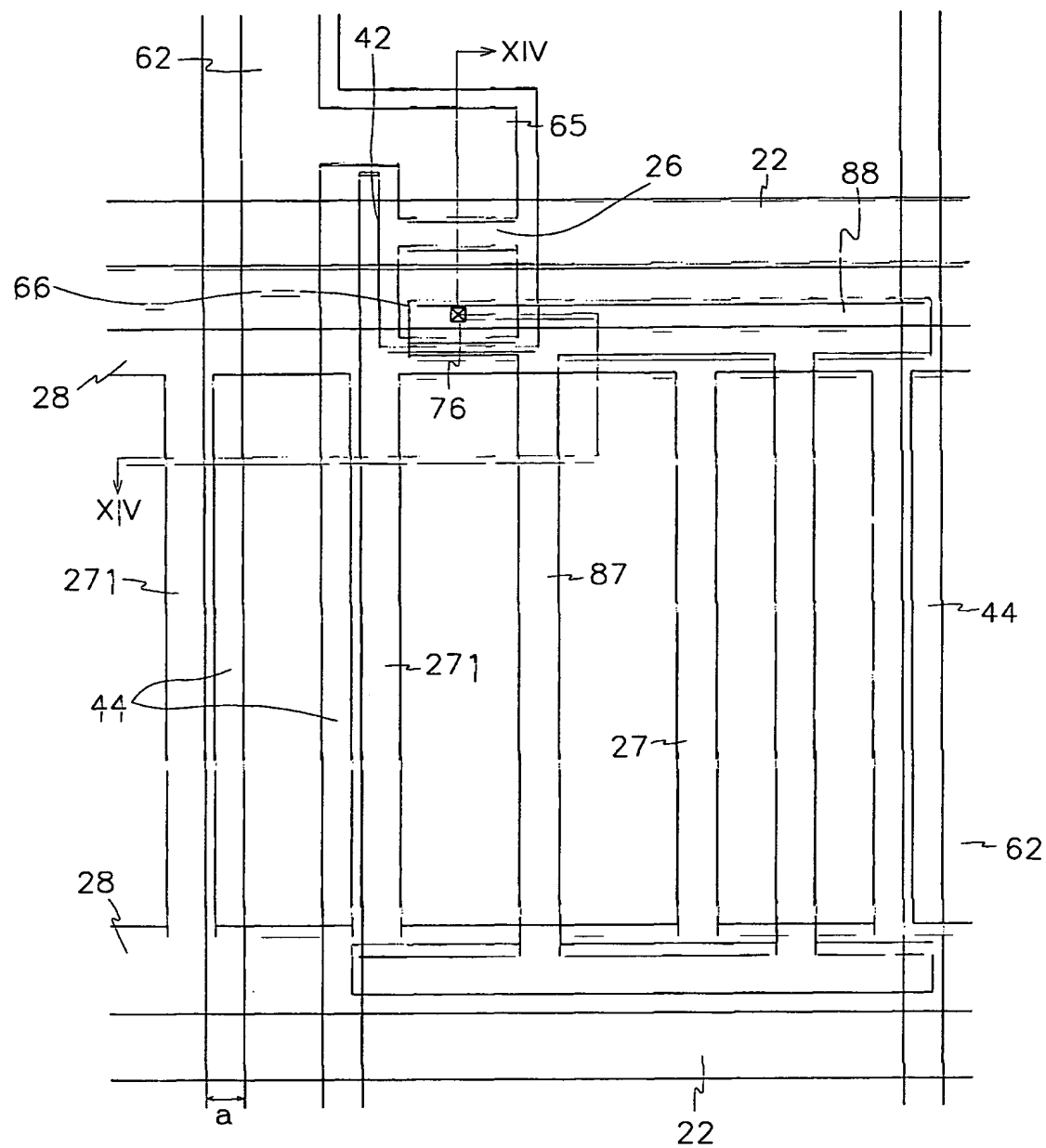
【F 10】



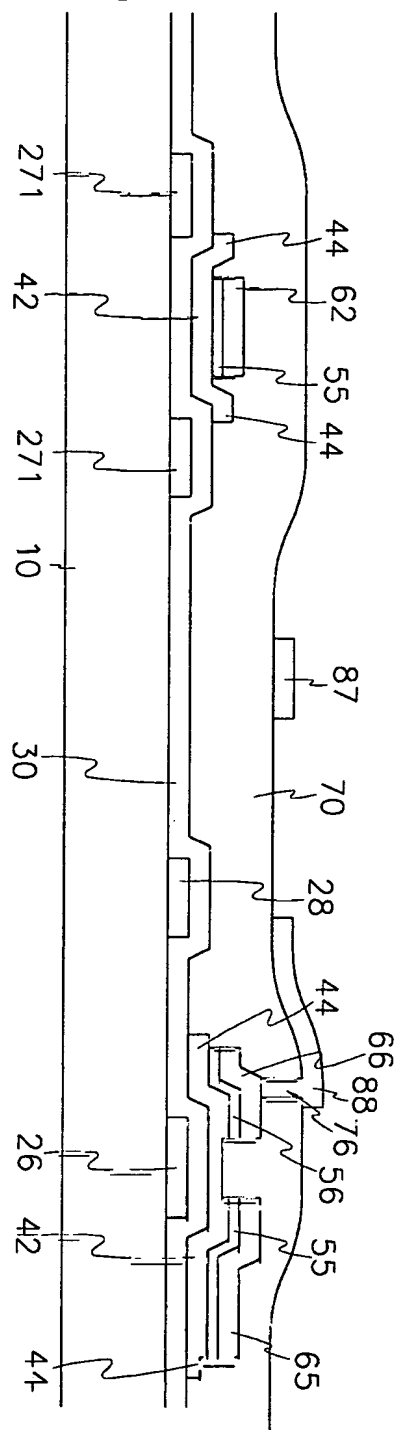




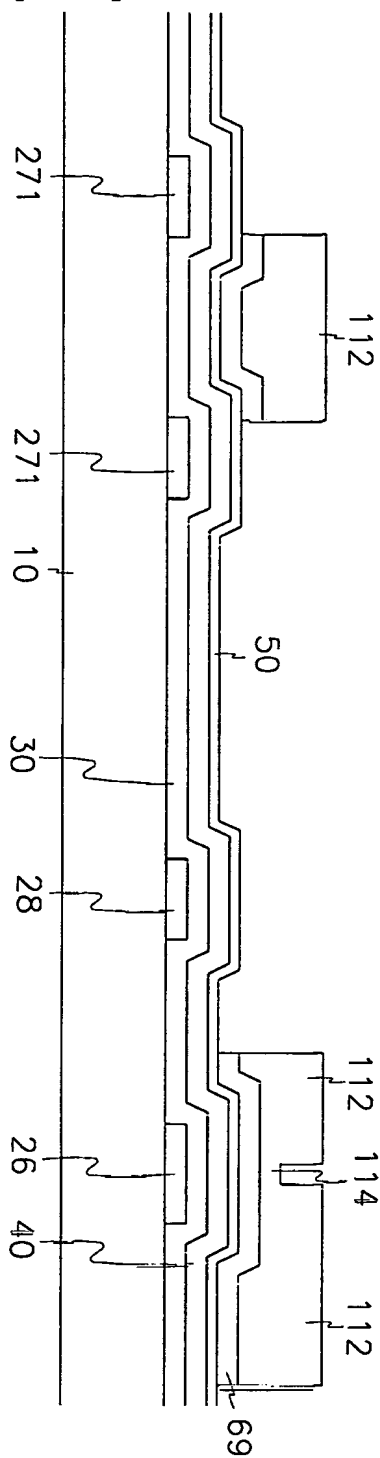
【도 13】



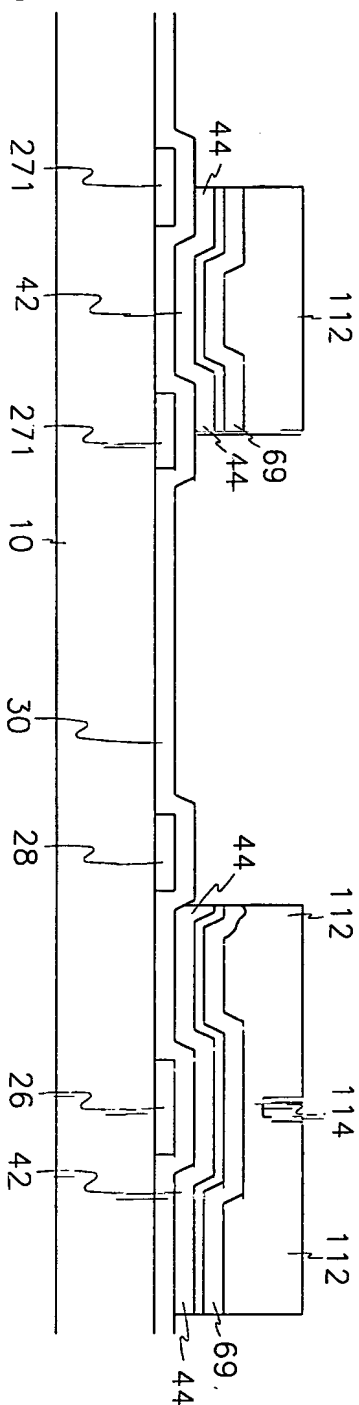
【図 14】



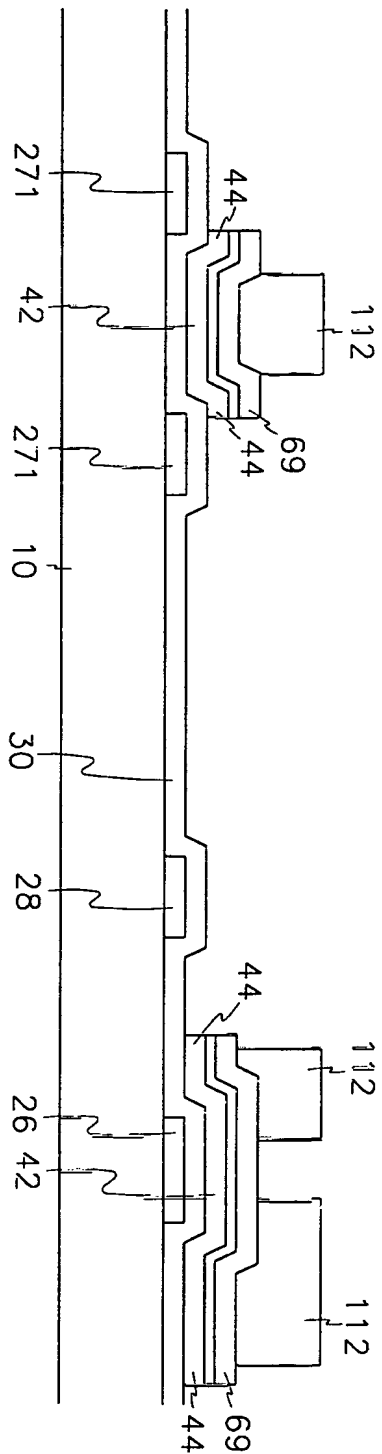
【図 15】



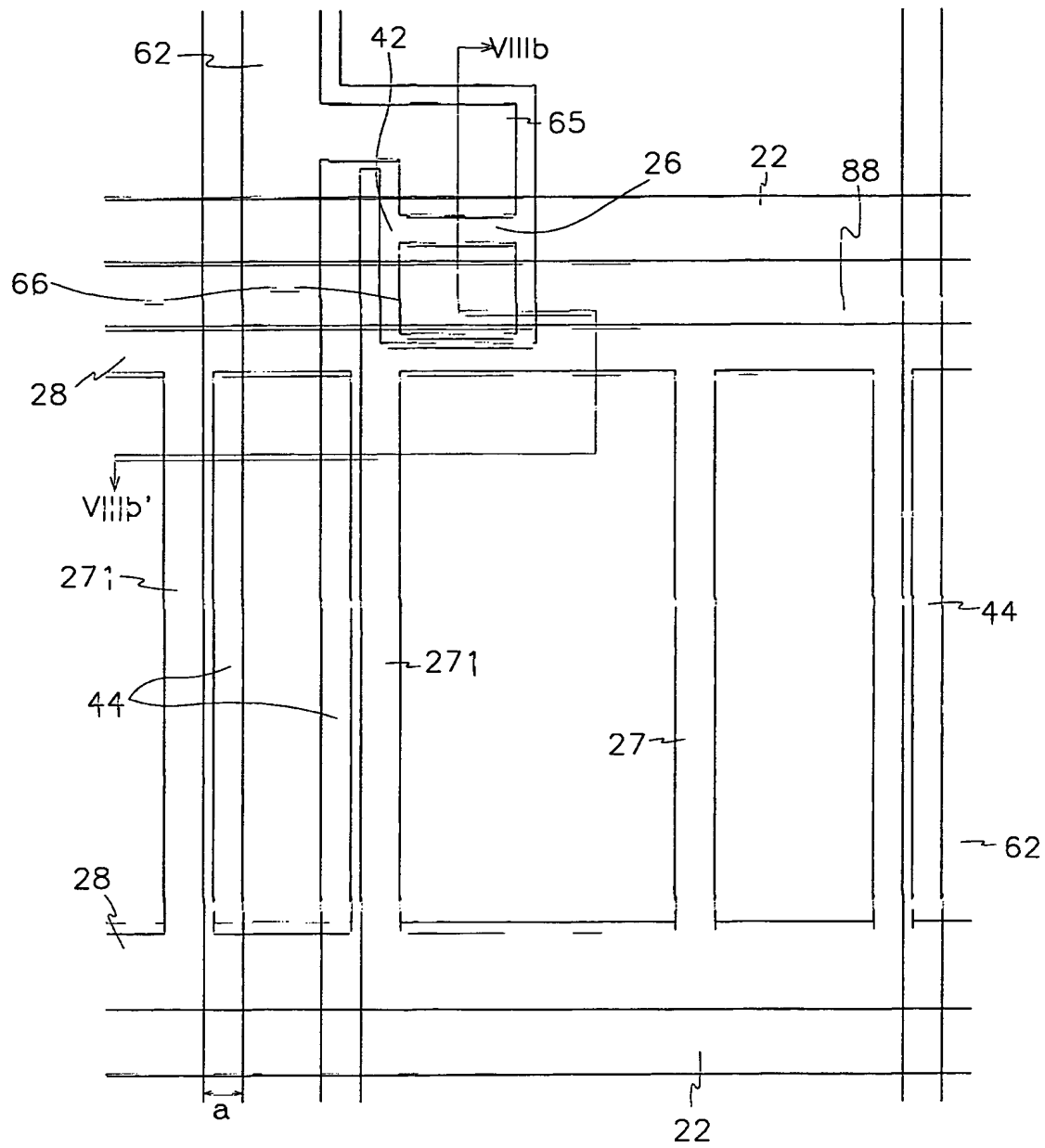
【図 16】



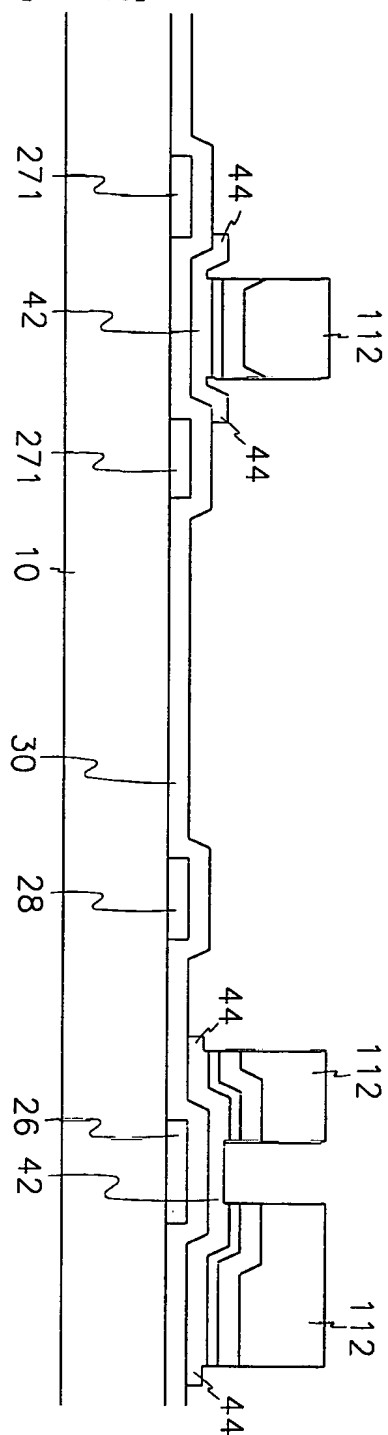
【図 17】



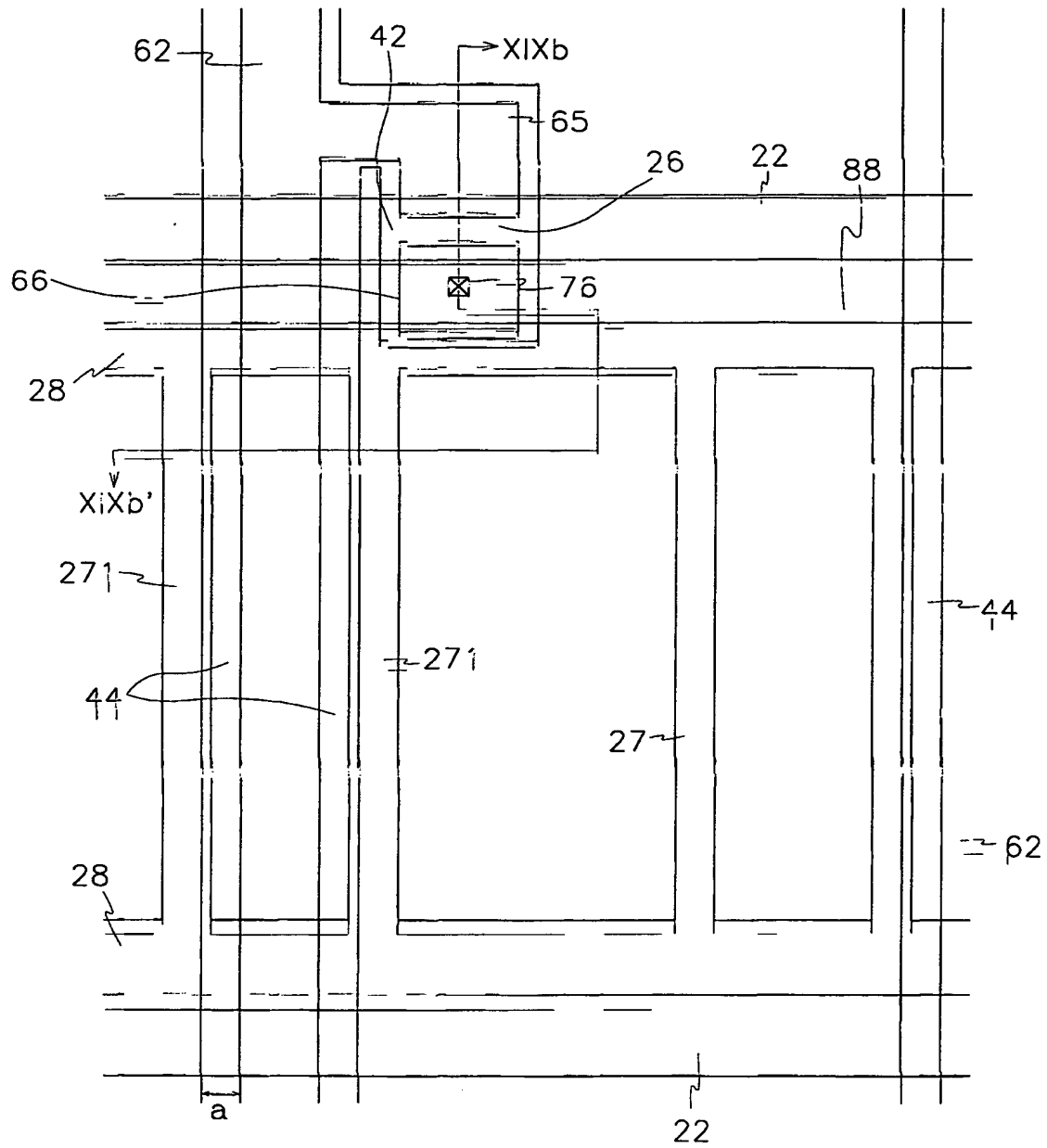
【図 18a】



【図 18b】



【図 19a】



【図 19b】

